

**JP 6-325599**

**No English Abstract Available**

1/9/1

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04653699

**DATA TRANSMISSION CIRCUIT**

PUB. NO.: 06-325599 JP 6325599 A]

PUBLISHED: November 25, 1994 (19941125)

INVENTOR(s): SANMNO SO

APPLICANT(s): SAMSUNG ELECTRON CO LTD [488957] (A Non-Japanese Company or Corporation), KR (Korea) Republic of

APPL. NO.: 05-250928 [JP 93250928]

FILED: September 14, 1993 (19930914)

PRIORITY: 8605286 [KR 865286], KR (Korea) Republic of, June 30, 1986 (19860630)

INTL CLASS: [5] G11C-029/00; G11C-011/409

JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-325599

(43) 公開日 平成6年(1994)11月25日

(51) Int.Cl.<sup>5</sup>G11C 29/00  
11/409

特許庁

庁内整理番号

303 B 6866-5L

F I

技術表示箇所

G11C 11/34

354 A

審査請求 有 発明の図1 FD (全6頁)

(21) 出願番号 特願平5-250828

(62) 分割の表示 特願昭62-159334の分割

(22) 出願日 昭和62年(1987)6月29日

(31) 優先権主張番号 1986P5286

(32) 優先日 1986年6月30日

(33) 優先権主張国 韓国 (KR)

(71) 出願人 591013931

サムサン エレクトロニクス シーオ

ー, エルディーディー

大韓民国 キョンギード スウォンシテ

ィ クウォンスング メタソドン

416

(72) 発明者 サンモ ソ

大韓民国 ソウル トボソング ボソード

ン 466-10

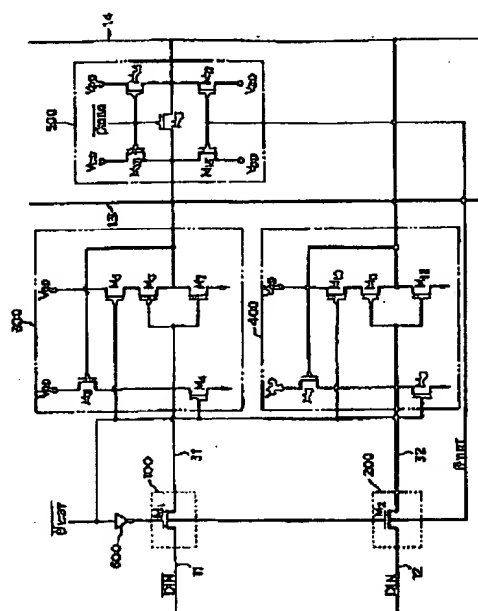
(74) 代理人 弁理士 高月 猛

(54) 【発明の名称】 データ伝送回路

(57) 【要約】

【目的】 データ入力バッファが駆動しなければならない負荷を低減できるようなデータ伝送回路を提供する。

【構成】 データ入力バッファから入力線11、12に送られる相対的2進信号がDINは伝送トランジスタM<sub>1</sub>、M<sub>2</sub>を介して中継線31、32に伝送され、出力線接続トランジスタM<sub>11</sub>、M<sub>12</sub>のゲートに印加される。この出力線接続トランジスタのドレインには出力線13、14が接続されている。伝送制御信号φ<sub>DT</sub>が伝送を示すときには伝送トランジスタがONとなり、中継線31、32を接地する中継線接続トランジスタM<sub>1</sub>、M<sub>2</sub>及び出力線13、14を充電する出力線プルアップトランジスタM<sub>11</sub>、M<sub>12</sub>はOFFとなる。一方、伝送制御信号φ<sub>DT</sub>が伝送を示さないときには伝送トランジスタがOFFとなり、中継線接続トランジスタ及び出力線プルアップトランジスタはONとなる。



(2)

特開平6-325599

1

2

## 【特許請求の範囲】

【請求項1】 相対的2進信号対を中継するデータ伝送回路であって、

前記2進信号対を受ける入力線対と、第1導電形の伝送トランジスタ対と、中継線対と、第1導電形の中継線接地トランジスタ対と、出力線対と、第1導電形の出力線接地トランジスタ対と、第2導電形の出力線プルアップトランジスタ対と、伝送制御信号反転器と、接地線と、電位線とを備え、

伝送トランジスタのチャネルは、対応する入力線と中継線との間にそれぞれ接続され、中継線は、対応する中継線接地トランジスタのドレイン及び出力線接地トランジスタのゲートにそれぞれ接続され、出力線は、対応する出力線接地トランジスタのドレイン及び出力線プルアップトランジスタのドレインにそれぞれ接続され、伝送制御信号反転器の出力端子は、伝送トランジスタ対の各ゲート及び出力線プルアップトランジスタ対の各ゲートに接続され、伝送制御信号反転器の入力端子は、伝送制御信号を受けると共に中継線接地トランジスタ対の各ゲートに接続され、接地線は、中継線接地トランジスタ対の各ソース及び出力線接地トランジスタ対の各ソースに接続され、電位線は、出力線プルアップトランジスタ対の各ソースに接続されるようになっており、そして、伝送制御信号が伝送を示す状態のときには、伝送トランジスタ対が導通状態になると共に、中継線接地トランジスタ対及び出力線プルアップトランジスタ対が非導通状態となり、一方、伝送制御信号が伝送を示さない状態のときには、伝送トランジスタ対が非導通状態になると共に、中継線接地トランジスタ対及び出力線プルアップトランジスタ対が導通状態となることを特徴とするデータ伝送回路。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリ装置におけるデータ伝送回路に関するもので、特にCMOSダイナミックRAM（以下DRAMと称する）のデータ入力バッファから入出力バスにデータを伝送する回路に関するものである。

【0002】

【従来の技術】 従来の技術のCMOS DRAMにおいては、データの読み込み時、TTL（トランジスタトランジスタロジック）論理レベルのデータ信号をCMOS論理レベルのデータ信号に変換するデータ入力バッファを内蔵しており、上記のデータ入力バッファから出力するデータが、データバスと入出力（I/O）バスを通じ、センス増幅器を通じて行アドレスにより指定された所定のメモリセルに配位されるようになっていた。

【0003】 したがって、通常のDRAMにおいては上記のデータ入力バッファから出力するデータを、データバスと入出力バスとを通じてメモリセルアレイに伝送し

なければならぬことになっていた。

【0004】 しかし、高密度DRAM、例えば1メガDRAMの場合、上記のデータバスの寄生容量は大凡1.5PFであり、入出力バスの寄生容量は3~4PF程度であるので、データ入力バッファはこの寄生容量をみな負荷として認識しなければならない負荷があるわけである。

【0005】 即ち、従来のデータ伝送回路は図4に図示した如き構成をしていた。データ入力バッファ10を通じて伝送されたデータはデータバス11及び12に出力され、伝送ゲート1及び2がゲート16に入力するクロックによりON状態になることにより、上記のデータバス11及び12にあったデータが各々入出力バス13及び14に伝送され、入出力ゲート40に入力される。この入出力ゲート40から列アドレス信号をゲートライン41に入力してMOSトランジスタ43及び44が導通され、センスアンプ50を通じて、行アドレス信号をロウアドレスライン64又は65に入力して、ビットライン60又は61上のデータをメモリセル62又は63に記憶させてきた。

【0006】 そして、データ書き込みの前又は完了後に上記の一方の入出力バス13及び14に接続された導通回路20を通じて上記の入出力バス13及び14を導通させる。さらに、入出力センスアンプ30は上記のメモリセル62又は63に記憶されたデータを読んで、図示されていない出力データバッファに増幅出力するためのもので、メモリセルからデータを読む時のみ動作する。

【0007】 したがって、従来のデータ伝送回路はデータ入力バッファ10から出力するデータをメモリセル62又は63に書き込むため、各データバス11及び12と各入出力バス13及び14の寄生容量をみな負荷として認識しなければならないのであった。それ故、データ入力バッファ10の出力端にあるトランジスタは、上記の寄生容量をみな導通するために、トランジスタの大きさが大変大きくなければならぬし、且つ伝送速度も小さく、その出力抵抗も多いという問題点があった。

【0008】 上記の寄生容量の中で、最も大きな容量になる入出力バスの寄生容量を減らすための従来の方法としては、メモリの集積度がよく成る多数のメモリセルにて構成された多数個のブロックに分割することであった。従って、分割されたブロックの個だけ入出力バスの対が増加することになり、これによりデータバスから入出力バスにデータを伝送してやる伝送ゲートの数も増加するようになる。しかし、データを読み込む書き込みサイクルにおいては、いくら多くのブロックに分割されて入出力バスの対が多くなるとしても、その中の一方の入出力バスだけが導通されてメモリセルにデータを書き込むので問題はない。

【0009】 しかし、メモリ容量が増加すればする程、メモリ装置を製造した時そのテストをすることにおいて

(3)

特開平6-325599

3

多くの問題がある。即ち、すべてのメモリセルにデータを書き込み、読み出すことによるテスト時間が非常に増加されるようになるため、負担が高くなる程この問題は深刻になる。従って、より短いテストをするためには多くのビットのデータを一度に読み、写さなければならぬが、この場合読み込むビットの個だけの入出力バスがデータ入力バッファと接続されてデータ入力バッファの負担が増加するようになる。結局、データ入力バッファの出力端のトランジスタの大きさを、増加した容量だけ大きくしなければならなくなり、前述の如くチップの大きさが増加するという問題点がある。

【0010】

【発明が解決しようとする課題】したがって、本発明の目的はデータ入力バッファが通常の書き込みサイクルにおいて必要な駆動能力だけでも、テストの時、入出力バスを十分に駆動することが出来る回路を提供することにある。本発明の他の目的はデータ入力バッファが駆動しなければならない負荷を減らすことができる回路を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するために本発明では、相対的2信号対を中継するデータ伝送回路について、前記2信号対を受ける入力線対と、第1導電形の伝送トランジスタ対と、中継線対と、第1導電形の中継線接地トランジスタ対と、出力線対と、第1導電形の出力線接地トランジスタ対と、第2導電形の出力線プルアップトランジスタ対と、伝送制御信号反転器と、接地線と、電源線とを備えるようにし、伝送トランジスタのチャネルは、対応する入力線と中継線との間にそれぞれ接続し、中継線は、対応する中継線接地トランジスタのドレイン及び出力線接地トランジスタのゲートにそれぞれ接続し、出力線は、対応する出力線接地トランジスタのドレイン及び出力線プルアップトランジスタのドレインにそれぞれ接続し、伝送制御信号反転器の出力端子は、伝送トランジスタ対の各ゲート及び出力線プルアップトランジスタ対の各ゲートに接続し、伝送制御信号反転器の入力端子は、伝送制御信号を受けると共に中継線接地トランジスタ対の各ゲートに接続し、接地線は、中継線接地トランジスタ対の各ソース及び出力線接地トランジスタ対の各ソースに接続し、電源線は、出力線プルアップトランジスタ対の各ソースに接続するようにし、そして、伝送制御信号が伝送を示す状態のときには、伝送トランジスタ対が導通状態になると共に、中継線接地トランジスタ対及び出力線プルアップトランジスタ対が非導通状態となり、一方、伝送制御信号が伝送を示さない状態のときには、伝送トランジスタ対が非導通状態になると共に、中継線接地トランジスタ対及び出力線プルアップトランジスタ対が導通状態となるようにすることを特徴としている。

【0012】

4

【発明例】以下、本発明を添付図面を参照して詳細に説明する。

【0013】図1は本発明に係るデータ伝送回路のブロック図で、図中のデータ入力バッファ10と入出力ゲート40と入出力センスアンプ30は各々図4の従来の回路と同一なもので、それらに対しては同一符号を併用しており、各データバス11、12及び各入出力バス13、14も各々図4の従来と同一符号を使用し、重複する説明は省略する。

【0014】本発明は、データ入力バッファ10の出力ラインであるデータバス11によって接続され、書き込み検出の伝送クロックパル $\phi_{\text{clk}}$ の反転パルス $\phi_{\text{clk}}$ を入力とする第1トランスミッションゲート100と、ゲート600から出力する上記のクロックパル $\phi_{\text{clk}}$ と反転されたクロック $\phi_{\text{clk}}$ を入力すると共に、データ入力バッファ10とデータバス12により接続される第2トランスミッションゲート200と、上記の第1トランスミッションゲート100とライン31を介して接続され、上記のパルスパル $\phi_{\text{clk}}$ を入力しており、出力ラインが入出力バス13と接続される第1入出力バスプルアップ及びダウン回路300と、上記の第2トランスミッションゲート200とライン32を介して接続され、上記のパルスパル $\phi_{\text{clk}}$ を入力し、出力ラインが入出力バス14と接続される第2入出力バスプルアップ及びダウン回路400と、入出力バス13及び14の両端に接続され、入出力バス等化クロックパル $\phi_{\text{eq}}$ 及び上記のクロック $\phi_{\text{clk}}$ を入力する入出力バス等化及びプルアップ回路500、及び上記のクロックパル $\phi_{\text{clk}}$ を反転するインバータ600とで構成される。

【0015】データ入力バッファ10からデータが出力する前にクロックパル $\phi_{\text{clk}}$ を入力する第1及び第2入出力バスプルアップ及びダウン回路300、400はライン31及び32を各々プルダウンして“ロウ”状態にすると共に、クロック $\phi_{\text{clk}}$ に依って入出力バス等化及びプルアップ回路500は入出力バス13及び14と共に“ハイ”状態にプルアップする。

【0016】そして、データ入力バッファ10からデータが出力すると、第1及び第2トランスミッションゲート100、200はクロック $\phi_{\text{clk}}$ によってデータバス11及び12上のデータを各々ライン31及び32に出力し、第1及び第2入出力バスプルアップ及びダウン回路300、400は上記のライン31及び32上のデータを上記のクロックパル $\phi_{\text{clk}}$ の制御のもとに反転して入出力バス13及び14に各々出力する。

【0017】したがって、例えばライン31上のデータが“ハイ”状態であれば上記の“ハイ”状態であるライン31に対応する入出力バス13は“ロウ”状態になり、この状態は入出力バスプルアップ及びダウン回路300から解除され、上記の“ハイ”状態のライン31を

“ハイ”状態にプルアップして上記のライン31上のデ

(4)

特開平6-325599

5

ータである“ハイ”状態を保持するようにする。

【0018】又、上記の第1及び第2入出力プルアップ及びダウン回路300、400は制御クロックバーφ<sub>ctrl</sub>と共にデータバス11及び12と入出力バス13及び14を完全に分離動作するようにする。入出力バス13及び14上のデータが入出力ゲート40を通じて読まれたのち、入出力バス等化クロックバーφ<sub>iso</sub>により入出力バス13と14とは入出力バス等化及びプルアップ回路500によって各々“ハイ”状態にプリチャージされる。

【0019】図2は本発明に依る図1のブロック図の具体的回路図を示した図面で、データバス11及び12と入出力バス13及び14は図1のデータ入力バッファ10と入出力ゲート40及び入出力センスアンプ30に各々接続される。

【0020】図面の中でM<sub>1</sub>、M<sub>2</sub>、M<sub>3</sub>、M<sub>4</sub>、M<sub>5</sub>、M<sub>6</sub>、M<sub>7</sub>は各々NチャネルMOSトランジスタであり、M<sub>8</sub>、M<sub>9</sub>、M<sub>10</sub>、M<sub>11</sub>及びM<sub>12</sub>は各々PチャネルMOSトランジスタであり、V<sub>DD</sub>は電源供給電圧であり、そのほかの符号は図1のものと同じである。

【0021】図3のA～Hは、本発明に係る具体的回路図である図2の各部分の波形図を示した図面で、図3のA及びBはデータ入力バッファ10からデータバス11及び12に各々出力するデータバーD<sub>IN</sub>及びD<sub>IN</sub>の波形図であり、図3のC及びDは書き込み検出の伝送クロックバーφ<sub>ctrl</sub>及び入出力バス等化クロックバーφ<sub>iso</sub>のタイミング図であり、図3のE及びFは各々第1及び第2トランスミッションゲート100及び200の出力波形図であり、図3のG及びHは各々入出力バス13及び14の波形図である。

【0022】以下、図2の作図図例を図3の波形図を参照して詳細に説明する。

【0023】まず、データが入力する前（図3の時間t<sub>1</sub>以前）に書き込み検出の伝送クロックバーφ<sub>ctrl</sub>と入出力バス等化クロックバーφ<sub>iso</sub>とはみな“ハイ”状態で、第1及び第2入出力バスプルアップ及びダウン回路300、400を構成するプルダウントランジスタM<sub>1</sub>及びM<sub>6</sub>が各々ON状態になることによりライン31及び32はみな“ロウ”状態にプルダウンされる。

【0024】又、上記のクロックバーφ<sub>ctrl</sub>をインバータ600が反転したクロックバーφ<sub>ctrl</sub>が、入出力バス等化及びプルアップ回路500を構成するPチャネルMOSトランジスタM<sub>10</sub>及びM<sub>11</sub>をONさせて、入出力バス13及び14をみな“ハイ”状態にプルアップさせることによりプリチャージする。

【0025】時間t<sub>1</sub>以後のデータバス11及び12に、相互に反転関係になるデータバーD<sub>IN</sub>及びD<sub>IN</sub>が図3のA及びBに図示した如く各々“ロウ”と“ハイ”として示されると仮定する。時間t<sub>1</sub>から上記のク

6

ロックバーφ<sub>ctrl</sub>が図3のCの如く“ロウ”状態になると、上記のクロックバーφ<sub>ctrl</sub>のインバータ600を通じた反転クロックバーφ<sub>ctrl</sub>により、第1及び第2トランスミッションゲート100及び200を構成するNチャネルMOSトランジスタM<sub>1</sub>及びM<sub>2</sub>がON状態になるので、ライン31及び32は各々“ロウ”と“ハイ”状態となり、PチャネルMOSトランジスタM<sub>10</sub>とM<sub>11</sub>とはOFFされる。そして、上記のライン31上の“ロウ”状態のデータ信号は、第1入出力バスプルアップ及びダウン回路300を構成するPチャネルMOSトランジスタM<sub>5</sub>のゲートとNチャネルMOSトランジスタM<sub>4</sub>のゲートに各々入力し、ライン32上の“ハイ”状態のデータ信号は、第2入出力バスプルアップ及びダウン回路400を構成するPチャネルMOSトランジスタM<sub>12</sub>のゲートとNチャネルMOSトランジスタM<sub>3</sub>のゲートに各々入力する。

【0026】したがってクロックバーφ<sub>ctrl</sub>（ロウ状態）とライン31上の“ロウ”状態のデータ信号によりPチャネルMOSトランジスタM<sub>5</sub>及びM<sub>6</sub>がみな導通（M<sub>5</sub>はOFF状態）して入出力バス13は電源供給電圧V<sub>DD</sub>に充電されるし、“ハイ”状態になり、且つこの状態の導通に依りPチャネルMOSトランジスタM<sub>6</sub>はOFF状態になるので入出力バス13はV<sub>DD</sub>（ハイ状態）に充電される。

【0027】一方、ライン32のデータは“ハイ”状態であるのでNチャネルMOSトランジスタM<sub>3</sub>がON状態になり、入出力バス14上に充電されていたV<sub>DD</sub>の電圧は、上記のNチャネルMOSトランジスタM<sub>3</sub>のドレインとソースを短絡状態に接続されて上記の入出力バス14は“ロウ”状態になる。この状態はPチャネルMOSトランジスタM<sub>12</sub>のゲートに短絡されてトランジスタM<sub>12</sub>がON状態になり、ライン32を電源供給電圧V<sub>DD</sub>（ハイ状態）にして入出力バス14を完全に“ロウ”状態にする。

【0028】それ故、上記の入出力バス13及び14のデータは図1の入出力ゲート40を通じメモリアレイに人力される。

【0029】その後時間t<sub>2</sub>になると入出力バス等化クロックバーφ<sub>iso</sub>が“ロウ”状態になるのでPチャネルMOSトランジスタM<sub>10</sub>、M<sub>11</sub>、M<sub>12</sub>とが各々導通になって、上記の入出力バス13と14とをみなV<sub>DD</sub>の電圧に充電すると同時に、クロックバーφ<sub>ctrl</sub>の“ハイ”状態によるインバータ600の出力によりPチャネルMOSトランジスタM<sub>10</sub>及びM<sub>11</sub>が導通されて上記の入出力バス13及び14は急速に“ハイ”状態に充電される。

【0030】

【発明の効果】以上述べてきた如く、本発明に係るデータ伝送回路は、入出力バスとトランスミッションゲートとの間に入出力バスプルアップ及びダウン回路を設ける

(5)

特開平6-325599

ことにより、データバスの寄生容量のみがデータ入力バッファの負荷となるので、データ入力バッファのトランジスタの大きさを減らすことができるばかりでなく、トランSMissionゲートとライン31又は32の寄生容量だけを充てる電流を流すことになるので、従来のトランSMissionゲートの大きさより1/5位の十分に小さな大きさに設計することができるという効果を有するものである。

【図面の簡単な説明】

【図1】 本発明に係るデータ伝送回路を示すブロック図。

【図2】 本発明の実施例を示す回路図。

【図3】 図2に示す回路の動作状況を示す波形図。

【図4】 従来のデータ伝送回路を示す回路図。

【符号の説明】

11、12 データバス（入力線）

13、14 入出力バス（出力線）

31、32 第1、第2ライン（中継線）

M<sub>1</sub>、M<sub>2</sub> NチャネルMOSトランジスタ（伝送トランジスタ）

M<sub>4</sub>、M<sub>6</sub> NチャネルMOSトランジスタ（中継線接続トランジスタ）

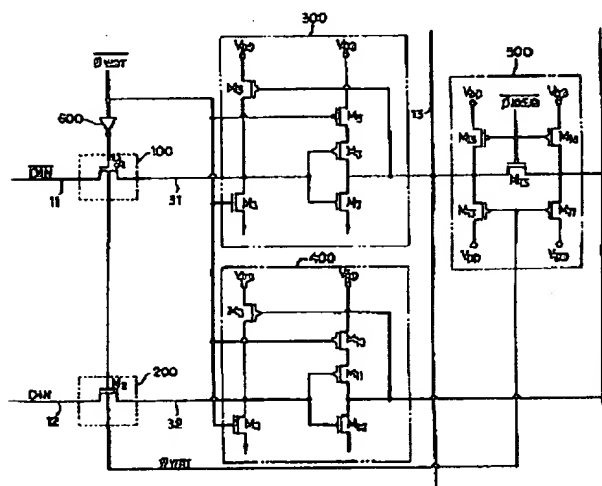
M<sub>7</sub>、M<sub>11</sub> NチャネルMOSトランジスタ（出力線接続トランジスタ）

M<sub>10</sub>、M<sub>12</sub> PチャネルMOSトランジスタ（出力線プルアップトランジスタ）

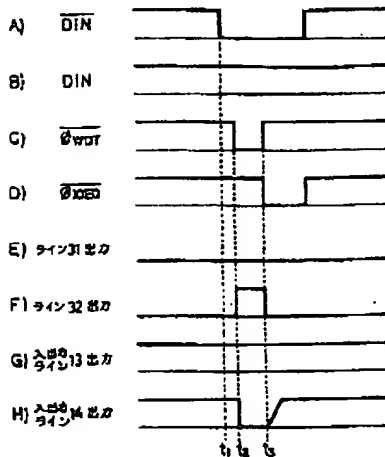
V<sub>DD</sub> 電源供給電圧（電源線）

φ<sub>DD</sub> 伝送クロック（伝送制御信号）

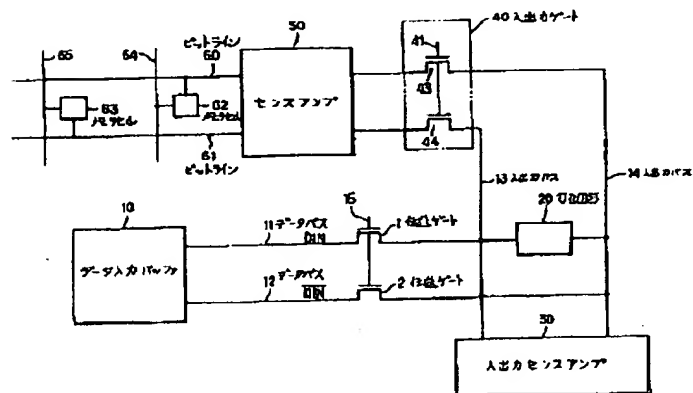
【図2】



【図3】



【図4】





**REEDFAX®**  
THE PATENT CONNECTION A member of the Reed Elsevier plc group

REEDFAX Document Delivery System  
275 Gibraltar Road • Horsham, PA 19044 • USA  
Voice 1.800.422.1337 or 1.215.441.4768  
FAX 1.800.421.5585 or 1.215.441.5463

**Our services include:**

- U.S. Patents from #1 to current week of issue
- Design and Plant Patents
- Reissue Patents and Re-exam Certificates
- U.S., EP and Canadian File Histories/Wrappers
- Non-US Patents including European and World
- Trademarks and Trademark File Histories
- An Automated System that operates in 15 min. 24 hrs./day, 365 days/yr.
- Dedicated Customer Service Staff

**TO REPORT TROUBLE WITH THIS TRANSMISSION or for REEDFAX CUSTOMER SERVICE, CALL 1.800.422.1337. ONCE CONNECTED, IMMEDIATELY PRESS "0" (ZERO) FOR OPERATOR.**

**TO: Gina Uphus****FAX Number: 6123393061**

**Foreign Patent**  
**Company Number:** 3074  
**Account Number:** 848034  
**Client Reference:** 303.623US5

**Date:** 3/22/2001**Control Number:** 24268**Patent Number:** JP 6060658**Pages:** 13

**REEDFAX Code:** FP-Fax-High-Lib!+  
**Request Number:** 1

**Order Number:** 287438**Retrieved by:** \_\_\_\_\_**Assembled by:** \_\_\_\_\_**Shipped by:** \_\_\_\_\_**CHARGES FOR THIS PATENT:**

Basic Charge:	\$ 16.15
Extra Pages:	\$ 0.00
Special Serv:	\$ 7.41
Surcharge:	\$ 0.00

**Total: \$ 23.56****Discount D5**

Charges listed are for informational purposes only and do not include applicable tax, other adjustments or shipping charges.

**\*\*\* < THIS IS NOT A BILL > \*\*\***



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-60658

(43) 公開日 平成6年(1994)3月4日

(51) Int.Cl. <sup>6</sup>	公開番号	特許出願番号	F I	技術表示箇所
G 1 1 C 11/409		6741-5L	G 1 1 C 11/34	3 5 4 A

審査請求 未請求 請求項の数3 (全 13 頁)

(21) 出願番号 特開平4-208273

(22) 出願日 平成4年(1992)8月4日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 山本 浩史

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(72) 発明者 永井 良浩

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 風田 博宣

最終頁に続く

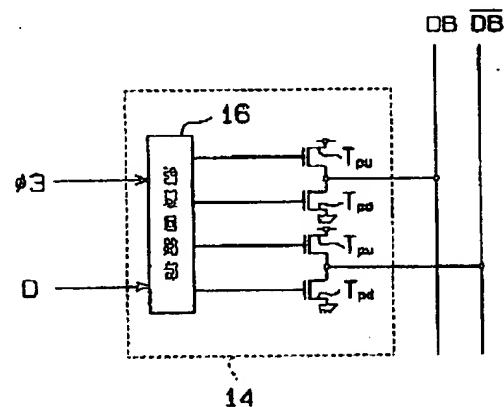
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 本発明は半導体記憶装置のデータバスの電位をリセットするDC-LOAD回路と、同DC-LOAD回路を制御する制御回路を形成するために要する回路面積を小さくすることを目的とする。

【構成】 ライトアンプ14は、データバスDB、バーDに接続されるトランジスタT<sub>pu</sub>、T<sub>pd</sub>と、書き込み若しくは読出しモードを設定する二値信号である制御信号φ3と、同じく二値信号である書き込みデータDとに基づいて各トランジスタT<sub>pu</sub>、T<sub>pd</sub>を駆動する駆動回路部16とから構成され、駆動回路部16は読出しモードを設定する制御信号φ3に基づいてトランジスタT<sub>pu</sub>をオンさせると同時にトランジスタT<sub>pd</sub>をオフさせてデータバスの電位を同一電位にリセットし、書き込みモードを設定する制御信号φ3と書き込みデータDとに基づいて各トランジスタT<sub>pu</sub>、T<sub>pd</sub>からデータバスに相対信号を出力させるように動作する。

本発明の回路図



(2)

特開平6-60658

1

【特許請求の範囲】

【請求項1】 データバス（DB、バーDB）にライトアンプ（14）を接続し、書き込みモード時には前記ライトアンプ（14）から出力される相補信号に基づいて、選択された記憶セルにセル相補を書き込み、読出しモード時には読出し動作に先立ってデータバス（DB、バーDB）を同一電位にリセットする半導体記憶装置であって、

前記ライトアンプ（14）は、前記データバス（DB、バーDB）にそれぞれ接続されるプルアップ用トランジスタ（Tp<sub>u</sub>）及びプルダウン用トランジスタ（Tp<sub>d</sub>）と、書き込みモード若しくは読出しモードのいずれかを設定する二値信号である制御信号（φ3）と、同じく二値信号である書き込みデータ（D）とに基づいて前記各トランジスタ（Tp<sub>u</sub>、Tp<sub>d</sub>）を駆動する制御回路部（16）とから構成し、

前記制御回路部（16）は読出しモードを設定する前記制御信号（φ3）に基づいて前記プルアップ用トランジスタ（Tp<sub>u</sub>）をオンさせると同時に前記プルダウン用トランジスタ（Tp<sub>d</sub>）をオフさせて前記データバス（DB、バーDB）の電位を同一電位にリセットし、書き込みモードを設定する前記制御信号（φ3）と前記書き込みデータ（D）とに基づいて前記各トランジスタ（Tp<sub>u</sub>、Tp<sub>d</sub>）から前記データバス（DB、バーDB）に相補信号を出力させるように動作することを特徴とする半導体記憶装置。

【請求項2】 前記制御回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号（φ3）をNAND回路（6d、6e）の一方の入力端子に入力し、前記NAND回路（6d）の他方の入力端子にはインバータ回路（7h）を介して前記書き込みデータ（D）を入力し、前記NAND回路（6e）の他方の入力端子には前記書き込みデータ（D）を直接入力し、前記NAND回路（6d）の出力信号は前記データバス（DB）のプルアップ用トランジスタ（Tr<sub>7</sub>）のゲートに入力するとともにインバータ回路（7i）を介して前記データバス（DB）のプルダウン用トランジスタ（Tr<sub>8</sub>）のゲートに入力し、前記NAND回路（6e）の出力信号は前記データバス（バーDB）のプルアップ用トランジスタ（Tr<sub>9</sub>）のゲートに入力するとともにインバータ回路（7j）を介して前記データバス（バーDB）のプルダウン用トランジスタ（Tr<sub>10</sub>）のゲートに入力するように構成し、前記プルアップ用トランジスタ（Tr<sub>7</sub>、Tr<sub>9</sub>）及びプルダウン用トランジスタ（Tr<sub>8</sub>、Tr<sub>10</sub>）はNチャネルMOSトランジスタで構成したことを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記制御回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号（φ3）をNAND回路（6g、6h）の一方の入力端子に入力し、前記NAND回路（6g）の他方の入力

2

端子にはインバータ回路（7n）を介して前記書き込みデータ（D）を入力し、前記NAND回路（6h）の他方の入力端子には前記書き込みデータ（D）を直接入力し、前記NAND回路（6g）の出力信号はインバータ回路（7q）を介してCMOSインバータ回路（7s）に入力するとともに前記CMOSインバータ回路（7s）の出力端子を前記データバス（バーDB）に接続し、前記NAND回路（6h）の出力信号はインバータ回路（7p）を介してCMOSインバータ回路（7r）に入力するとともに前記CMOSインバータ回路（7r）の出力端子を前記データバス（DB）に接続したことを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は書き込み機能を備えた半導体記憶装置に関するものである。近年の半導体記憶装置は益々大規模化及び大容量化が進み、その回路面積も増大する傾向にある。そのため、大規模化及び大容量化を図りながら回路面積の増大を抑制することが求められている。

【0002】

【従来の技術】 従来のDRAMの一例を図8に従って説明すると、多対一のビット線BL、バーBLは伝送ゲートTrgを介してデータバスDB、バーDBに接続されている。

【0003】 前記伝送ゲートTrgには前記ビット線BL、バーBLの各対毎にコラムデコード1からのコラム選択信号CLが入力され、そのコラム選択信号CLによりいずれかの対のビット線BL、バーBLが前記データバスDB、バーDBに接続される。

【0004】 前記データバスDB、バーDBにはセンスバッファ2が接続され、同データバスDB、バーDBに読み出されたセル相補はセンスバッファ2で増幅されて出力される。

【0005】 前記データバスDB、バーDBにはDC-LOAD回路3が接続されている。すなわち、そのDC-LOAD回路3はNチャネルMOSトランジスタTr<sub>1</sub>、Tr<sub>2</sub>のソースが前記データバスDB、バーDBに接続され、同トランジスタTr<sub>1</sub>、Tr<sub>2</sub>のドレインは電源V<sub>cc</sub>に接続されている。

【0006】 前記トランジスタTr<sub>1</sub>、Tr<sub>2</sub>のゲートには制御回路4から制御信号φ1が入力される。そして、同制御信号φ1がHレベルとなると、前記両トランジスタTr<sub>1</sub>、Tr<sub>2</sub>がオンされてデータバスDB、バーDBが電源V<sub>cc</sub>から同トランジスタTr<sub>1</sub>、Tr<sub>2</sub>のしきい値分低下したレベルにリセットされる。

【0007】 前記データバスDB、バーDBにはライトアンプ5が接続されている。そのライトアンプ5に前記制御回路4から前記制御信号φ1とは相補関係の制御信号φ2が入力されるとともに、外部から書き込みデータ

(3)

特開平6-60658

3

Dが入力される。

【0008】すなわち、前記制御信号φ2はNAND回路6a、6bの一方の入力端子に入力され、同NAND回路6aの他方の入力端子には前記書き込みデータDが入力されている。また、NAND回路6bの他方の入力端子には前記書き込みデータDがインバータ回路7aで反転されて入力されている。

【0009】前記NAND回路6aの出力信号はインバータ回路7bを介してNチャネルMOSトランジスタTr3、Tr6のゲートに入力され、NAND回路6bの出力信号はインバータ回路7cを介してNチャネルMOSトランジスタTr4、Tr5のゲートに入力されている。

【0010】前記トランジスタTr3、Tr4は電源Vccと電圧Vssとの間で直列に接続され、前記トランジスタTr5、Tr6は電源Vccと電圧Vssとの間で直列に接続されている。また、前記トランジスタTr3、Tr4間が前記データバスDBに接続され、前記トランジスタTr5、Tr6間がデータバス・バーDBに接続されている。

【0011】従って、前記制御信号φ2がLレベルとなるとインバータ回路7b、7cの出力信号はともにLレベルとなってトランジスタTr3~Tr6はオフされる。また、前記制御信号φ2がHレベルとなった状態で、前記書き込みデータDがHレベルとなると、インバータ回路7bの出力信号がHレベルとなるとともにインバータ回路7cの出力信号がLレベルとなる。

【0012】すると、トランジスタTr3、Tr6がオンされるとともにトランジスタTr4、Tr5がオフされるため、データバスDBはHレベル、データバス・バーDBはLレベルとなる。

【0013】また、前記制御信号φ2がHレベルとなった状態で、前記書き込みデータDがLレベルとなると、データバスDBはLレベル、データバス・バーDBはHレベルとなる。

【0014】前記制御回路4の構成を図9に従って説明すると、このDRAMの動作を制御する基準制御信号RASバーはインバータ回路7dに入力される。基準制御信号CASバーはインバータ回路7eに入力され、書き込み制御信号WEバーはNOR回路8aの一方の入力端子に入力されている。

【0015】前記インバータ回路7d、7eの出力信号はNAND回路6cに入力され、同NAND回路6cの出力信号は前記NOR回路8aの他方の入力端子に入力されている。

【0016】前記NOR回路8aの出力信号はAND回路9a及びNOR回路8bの一方の入力端子に入力され、AND回路9a及びNOR回路8bの他方の入力端子には前記NOR回路8aの出力信号がインバータ回路7f、7gを介して入力されている。

【0017】そして、前記AND回路9aから前記制御信号φ2が出力され、前記NOR回路8bから前記制御

10

信号φ1が出力されている。前記各ビット線BL、バーBLに接続される回路部を図10に従って説明すると、ビット線BL、バーBL間にはCMOS構成のフリップフロップ回路によるセンスアンプSAが接続され、同センスアンプSAには電圧V1、V2が供給される。

【0018】そして、前記センスアンプSAが活性化される場合は前記電圧V2として電圧Vccが供給されると同時に電圧V1として電圧Vssが供給され、両電圧V1、V2がともに1/2Vccレベルとなると、同センスアンプSAが不活性化状態となる。

【0019】前記ビット線BL、バーBLと多数本のワード線WL0~WLnとの間には多数の記憶セルCが接続される。ロウデコーダ(図示しない)によりワード線WL0~WLn+1の中からいずれか一本のワード線が選択されて同ワード線の電位がHレベルとなると、選択されたワード線に接続されている記憶セルCに対し、ビット線BL、バーBLを介してセル情報の書き込みあるいは読出し動作が行われる。

20

【0020】前記ビット線BL、バーBLにはNチャネルMOSトランジスタで構成されるリセットトランジスタTr7、Tr8を介してリセット電位である1/2Vccが供給される。両ビット線BL、バーBLは同じくNチャネルMOSトランジスタで構成されるリセットトランジスタTr9を介して接続されている。

【0021】そして、書き込み及び読出し動作に先立つビット線BL、バーBLのリセット動作時には、各トランジスタTr7~Tr9にHレベルのリセット信号Aが入力されて各トランジスタTr7~Tr9がオンすることにより、両ビット線BL、バーBLの電位が1/2Vccにリセットされる。

30

【0022】次に、上記のように構成されたDRAMのセル情報の書き込み動作を図11に従って説明する。書き込み動作に先立って、Hレベルとなっている書き込み制御信号WEバーにより制御回路4から出力される制御信号φ1はHレベル、φ2はLレベルとなる。

【0023】すると、DC-LOAD回路3のトランジスタTr1、Tr2はオンされて、データバスDB、バーDBは電圧Vccから前記トランジスタTr1、Tr2のしきい値分低下したレベルにリセットされている。

【0024】この状態で、前記基準制御信号RASバーのLレベルへの立ち下がりに基づいて前記リセット信号AがHレベルからLレベルに引き下げられ、次いで例えばワード線WLnが選択されてその電位がHレベルに引き上げられる。

【0025】すると、当該ワード線WLnに接続されている記憶セルCに格納されているセル情報に基づいて当該ビット線BL、バーBLに小さな電位差が生じる。ここで、センスアンプSAに電圧V1として電圧Vssが供給され、電圧V2として電圧Vccが供給されて、同センスアンプSAが活性化されてビット線BL、バーBLの

(4)

特開平6-60658

5

電位差が拡大される。

【0026】次いで、前記コラムデコーダ1から出力されるコラム選択信号CLにより当該ビット線BL、バーBLに接続された伝送ゲートTrgがオンされ、同ビット線BL、バーBLに読み出されたセル情報がデータバスDB、バーDBに伝送される。

【0027】すると、当該ビット線BL、バーBLに読み出されたセル情報に基づいてデータバスDB、バーDBに偏かな電位差が生じ、図11に示すように例えばデータバスDBの電位がデータバス・バーDBの電位より低くなる。

【0028】次いで、書き込み制御信号WEバーと基準制御信号CASバーがLレベルとなると書き込みモードとなり、前記制御回路4から出力される制御信号φ2はHレベル、同φ1はLレベルとなる。従って、DC-LOAD回路3のトランジスタTr1、Tr2はオフされる。

【0029】ここで、例えばライトアンプ5にHレベルの書き込みデータDが入力されると、ライトアンプ5のトランジスタTr3、Tr6がオンされるとともに、トランジスタTr4、Tr5がオフされる。

【0030】すると、データバスDBはHレベル、すなわち電源VccからトランジスタTr3のしきい値分低下した電位に引き上げられる。また、データバス・バーDBはLレベル、すなわち電源Vssレベルに引き下げられ、これにともなってビット線BLがHレベル、ビット線・バーBLがLレベルとなってセンスアンプSAの動作も反転され、前記書き込みデータDに基づくセル情報が当該記憶セルに書き込まれる。

【0031】次いで、コラム選択信号CLがLレベルとなって前記ビット線BL、バーBLとデータバスDB、バーDBとが切り離される。すると、前記制御回路2から出力される制御信号φ2はLレベル、制御信号φ1はHレベルとなって、ライトアンプ5の各トランジスタTr3~Tr6はオフされ、DC-LOAD回路3の各トランジスタTr1、Tr2はオンされる。

【0032】従って、データバスDB、バーDBは電源Vccから各トランジスタTr1、Tr2のしきい値分だけ低下した電位にリセットされる。次いで、選択されていたワード線WLnがLレベルに復帰し、センスアンプSAに供給される電源V1、V2が1/2 Vccにリセットされて同センスアンプSAが不活性化される。

【0033】さらに、リセット信号AがHレベルに立ち上げられてビット線BL、バーBLが1/2 Vccのレベルにリセットされて次の動作を持つ状態となる。一方、前記DRAMのセル情報の読出し動作を説明すると、前記書き込み動作のリセット信号Aの立ち下がりからコラム選択信号CLの立ち上がりまでの動作は読出し動作でも同様である。

【0034】そして、基準制御信号RASバー、CASバーがLレベルとなり、かつ書き込み制御信号WEバー

6

がHレベルに維持されるため、図12に示すように制御回路4から出力される制御信号φ2はLレベルに維持され、制御信号φ1はHレベルに維持される。

【0035】従って、DC-LOAD回路3のトランジスタTr1、Tr2がオンされて、データバスDB、バーDBは電源Vccから同トランジスタTr1、Tr2のしきい値分だけ低下した電位に維持される。

【0036】この状態で、選択された記憶セルからビット線BL、バーBLにセル情報が読み出されて同ビット線BL、バーBL間に偏かな電位差が生じ、その電位差がセンスアンプSAで増幅される。

【0037】そして、そのセンスアンプSAの出力信号に基づいて図12に示すようにデータバスDB、バーDBに電位差が生じ、その電位差をセンスバッファ2で増幅してセル情報として出力する。

【0038】次いで、コラム選択信号CLにより別の対のビット線BL、バーBLを選択して同様な動作によりセル情報を読み出す。

【0039】

20 【発明が解決しようとする課題】ところが、上記のようなDRAMでは読出し動作時にはデータバスDB、バーDBを電源Vccに近いレベルにリセットして読出し動作の高速化を図るためのDC-LOAD回路3とライトアンプ5とが別個に必要となる。さらに、そのDC-LOAD回路3とライトアンプ5の動作を制御するための制御回路4が必要となる。

【0040】そのため、DC-LOAD回路3とライトアンプ5を制御するための制御回路4が複雑化するとともに、制御回路4及びDC-LOAD回路3を設けるために要する面積が増大するという問題点がある。

【0041】この発明の目的は、半導体記憶装置のデータバスの電位をリセットするDC-LOAD回路と、同DC-LOAD回路を制御する制御回路を形成するために要する回路面積を小さくすることにある。

【0042】

40 【課題を解決するための手段】図1は本発明の原形説明図である。すなわち、データバスDB、バーDBにライトアンプ14を接続し、書き込みモード時には前記ライトアンプ14から出力される相対信号に基づいて、選択された記憶セルにセル情報を書き込み、読出しモード時には読出し動作に先立ってデータバスDB、バーDBを同一電位にリセットする半導体記憶装置で、前記ライトアンプ14は、前記データバスDB、バーDBにそれぞれ接続されるプルアップ用トランジスタTpu及びプルダウントランジスタTpdと、書き込みモード若しくは読出しモードのいずれかを設定する二位信号である制御信号φ3と、同じく二位信号である書き込みデータDとに基づいて前記各トランジスタTpu、Tpdを制御する制御回路部16とから構成され、前記記憶回路部16は読出しモードを設定する前記制御信号φ3に基づいて前記プル

(5)

特開平6-60658

7

アップ用トランジスタ $T_{pu}$ をオンさせると同時に前記ブルダウン用トランジスタ $T_{pd}$ をオフさせて前記データバスDB、バーDBの電位を同一電位にリセットし、書き込みモードを設定する前記制御信号 $\phi 3$ と前記書き込みデータDとに基づいて前記各トランジスタ $T_{pu}$ 、 $T_{pd}$ から前記データバスDB、バーDBに相補信号を出力させるように動作する。

【0043】また、図3に示すように前記動作回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号 $\phi 3$ がNAND回路6d、6eの一方の入力端子に入力され、前記NAND回路6dの他方の入力端子にはインバータ回路7hを介して前記書き込みデータDが入力され、前記NAND回路6eの他方の入力端子には前記書き込みデータDが直接入力され、前記NAND回路6dの出力信号は前記データバスDBのブルアップ用トランジスタ $T_{r7}$ のゲートに入力されるとともにインバータ回路7iを介して前記データバスDBのブルダウン用トランジスタ $T_{r8}$ のゲートに入力され、前記NAND回路6eの出力信号は前記データバス・バーDBのブルアップ用トランジスタ $T_{r9}$ のゲートに入力されるとともにインバータ回路7jを介して前記データバス・バーDBのブルダウン用トランジスタ $T_{r10}$ のゲートに入力されるように構成され、前記ブルアップ用トランジスタ $T_{r7}$ 、 $T_{r9}$ 及びブルダウン用トランジスタ $T_{r8}$ 、 $T_{r10}$ はNチャネルMOSトランジスタで構成される。

【0044】また、図7に示すように前記動作回路部は、書き込みモード時にHレベル、読出しモード時にLレベルとなる前記制御信号 $\phi 3$ がNAND回路6g、6hの一方の入力端子に入力され、前記NAND回路6gの他方の入力端子にはインバータ回路7nを介して前記書き込みデータDが入力され、前記NAND回路6hの他方の入力端子には前記書き込みデータDが直接入力され、前記NAND回路6gの出力信号はCMOSインバータ回路7sに入力されるとともに該CMOSインバータ回路7sの出力端子が前記データバス・バーDBに接続され、前記NAND回路6hの出力信号はCMOSインバータ回路7rに入力されるとともに該CMOSインバータ回路7rの出力端子が前記データバスDBに接続される。

【0045】

【作用】制御信号 $\phi 3$ により読出しモードが設定されると、動作回路部16は書き込みデータDに関わらず、各データバスDB、バーDBに接続されるブルアップ用トランジスタ $T_{pu}$ がオンされると同時にブルダウン用トランジスタ $T_{pd}$ がオフされて、データバスDB、バーDBが同一電位にリセットされる。

【0046】また、制御信号 $\phi 3$ により書き込みモードが設定されると、動作回路部16は前記書き込みデータDに基づいて前記各トランジスタ $T_{pu}$ 、 $T_{pd}$ から前記デ

8

ータバスDB、バーDBに相補信号を出力する。

【0047】

【実施例】以下、この発明を具体化した一実施例を図2～図6に従って説明する。なお、前記実施例と同一構成部分は同一符号を付して説明する。

【0048】図2に示すように、DRAMは多数の記憶セルから構成される複数のメモリセルアレイ10a、10bに対しそれぞれロウデコーダ11a、11bが設けられる。

【0049】前記各ロウデコーダ11a、11bに入力されるロウアドレス信号に基づいて、各ロウデコーダ11a、11bにより当該メモリセルアレイ10a、10b内のワード線が選択される。

【0050】なお、図2に示すコラムデコーダ1、データバスDB、バーDB、センスアンプSA及びメモリセルアレイ10a、10bは、図10に示す構成となっている。

【0051】メモリセルアレイ10a、10b内に設けられるコラムデコーダ1にはコラムアドレス信号が入力され、同コラムアドレス信号に基づいて各メモリセルアレイ10a、10b内のビット線が選択される。

【0052】各メモリセルアレイ10a、10bに接続してそれぞれビット線のデータバスDB、バーDBが設けられる。前記ロウデコーダ11a、11b及びコラムデコーダ1により選択された記憶セルからセル情報を読み出す場合には、選択されたビット線に読み出されたセル情報がセンスアンプSAで増幅されて当該データバスDB、バーDBに伝達される。

【0053】そして、同データバスDB、バーDBからセンスバッファ2及び出力回路12を介して出力端子DQ1～DQ4から出力される。また、前記ロウデコーダ11a、11b及びコラムデコーダ1により選択された記憶セルにセル情報を書き込む場合には、出力端子DQ1～DQ4に入力される書き込みデータが入力回路13を介してライトアンプ14に入力される。

【0054】そして、同ライトアンプ14に入力される制御信号 $\phi 3$ に基づいて同ライトアンプ14が活性化されると、同ライトアンプ14から当該データバスDB、バーDB、センスアンプSA及び当該ビット線を介して選択された記憶セルに前記書き込みデータが新たなセル情報として書き込まれる。

【0055】前記ライトアンプ14の構成を図3に従って説明すると、同ライトアンプ14には倒置回路15から制御信号 $\phi 3$ がNAND回路6d、6eの一方の入力端子に入力されている。

【0056】前記NAND回路6dの他方の入力端子には書き込みデータDがインバータ回路7hを介して入力され、前記NAND回路6eの他方の入力端子には前記書き込みデータDが直接入力されている。

【0057】前記NAND回路6dの出力信号はNチャ

(6)

特開平6-60658

9

ネルMOSトランジスタTr7のゲートに入力されるとともに、インバータ回路7iを介してNチャネルMOSトランジスタTr8のゲートに入力されている。

【0058】そして、両トランジスタTr7、Tr8は同トランジスタTr7を高水位側として電源Vccと電源Vssとの間で直列に接続され、両トランジスタTr7、Tr8間がデータバスDBに接続されている。

【0059】また、前記NAND回路6eの出力信号はNチャネルMOSトランジスタTr9のゲートに入力されるとともに、インバータ回路7jを介してNチャネルMOSトランジスタTr10のゲートに入力されている。

【0060】そして、両トランジスタTr9、Tr10は同トランジスタTr9を高水位側として電源Vccと電源Vssとの間で直列に接続され、両トランジスタTr9、Tr10間がデータバス・パーDBに接続されている。

【0061】このような構成により、制御回路15から出力される制御信号φ3がLレベルとなるとNAND回路6d、6eの出力信号はHレベルとなり、インバータ回路7i、7jの出力信号はLレベルとなる。

【0062】従って、前記トランジスタTr7、Tr9はオンされるとともに、トランジスタTr8、Tr10がオフされてデータバスDB、パーDBは電源VccからトランジスタTr7、Tr9のしきい値分低下した電位に維持される。

【0063】また、前記制御信号φ3がHレベルとなった状態で書き込みデータDがHレベルとなると、トランジスタTr7、Tr10がオンされるとともに、トランジスタTr8、Tr9がオフされて、データバスDBはHレベル、データバス・パーDBはLレベルとなる。

【0064】また、前記制御信号φ3がHレベルとなった状態で書き込みデータDがLレベルとなると、トランジスタTr7、Tr10がオフされるとともに、トランジスタTr8、Tr9がオンされて、データバスDBはLレベル、データバス・パーDBはHレベルとなる。

【0065】なお、各ビット線BL、バーBLに接続されるセンスアンプSA、多数の記憶セルC及びビット線電位リセット回路等の構成は図10に示す前記従来例と同一である。

【0066】前記制御回路15の構成を図4に従って説明すると、基址制御信号RASバーはインバータ回路7kに入力され、基址制御信号CASバーはインバータ回路7mに出力される。

【0067】前記インバータ回路7k、7mの出力信号はNAND回路6fに入力され、同NAND回路6fの出力信号はNOR回路8cの一方の入力端子に入力されている。

【0068】また、前記NOR回路8cの他方の入力端子には書き込み制御信号WEバーが入力され、同NOR回路8cから前記制御信号φ3が出力信号として出力されている。

10

【0069】従って、基址制御信号RASバー、CASバーがともにLレベルとなると書き込み制御信号WEバーがLレベルとなると、制御信号φ3がHレベルとなり、基址制御信号RASバー、CASバーがともにLレベルとなると書き込み制御信号WEバーがHレベルとなると、制御信号φ3がLレベルとなる。

【0070】次に、上記のように構成されたDRAMの作用を説明する。さて、書き込み動作を行う場合には、図5に示すように前記基址制御信号RASバーのLレベルへの立ち下がりに基づいてリセット信号AがHレベルからLレベルに引き下げられる。

【0071】この状態で例えばワード線WLnが選択されてその電位がHレベルに引き上げられると、当該ワード線WLnに接続されている記憶セルCに格納されているセル情報に基づいて各ビット線BL、バーBLに様々な電位差が生じる。

【0072】ここで、センスアンプSAに電源V1として電源Vssが供給され、電源V2として電源Vccが供給されて、同センスアンプSAが活性化されてビット線BL、バーBLの電位差が拡大される。

【0073】次いで、前記コラムデコーダ1から出力されるコラム選択信号CLにより当該ビット線BL、バーBLに接続された伝送ゲートTrgがオンされ、同ビット線BL、バーBLに読み出されたセル情報がデータバスDB、パーDBに伝送される。

【0074】すると、当該ビット線BL、バーBLに読み出されたセル情報に基づいてデータバスDB、パーDBに様々な電位差が生じ、図5に示すように例えばデータバスDBの電位がデータバス・パーDBの電位より低く低下する。

【0075】次いで、書き込み制御信号WEバーと基址制御信号CASバーがLレベルとなると書き込みモードとなり、前記制御回路15から出力される制御信号φ3はHレベルとなる。

【0076】ここで、例えばライトアンプ14にHレベルの書き込みデータDが入力されると、ライトアンプ14のトランジスタTr7、Tr10がオンされるとともに、トランジスタTr8、Tr9がオフされる。

【0077】すると、データバスDBはHレベルに引き上げられるとともに、データバス・パーDBはLレベルに引き下げられる。これにともなってビット線BLがHレベル、ビット線・バーBLがLレベルとなってセンスアンプSAの動作も反転され、前記書き込みデータDに基づくセル情報が当該記憶セルに書き込まれる。

【0078】次いで、コラム選択信号CLがLレベルとなって伝送ゲートTrgがオフされ、前記ビット線BL、バーBLとデータバスDB、パーDBとが切り離される。すると、前記制御回路15から出力される制御信号φ3はLレベルとなって、ライトアンプ14の各トランジスタTr7、Tr9はオンされ、トランジスタTr8、Tr10

11

0 はオフされる。

【0079】従って、この状態ではライトアンプ14のトランジスタTr7, Tr9がデータバスDB, パーDBに対するDC-LOAD回路として動作し、同データバスDB, パーDBは電源Vccから各トランジスタTr1, Tr2のしきい値分だけ低下した電位にリセットされる。

【0080】次いで、選択されていたワード線WLnがLレベルに復帰し、センスアンプSAに供給される電源V1, V2が1/2 Vccにリセットされて同センスアンプSAが不活性化される。

【0081】さらに、リセット信号AがHレベルに立ち上げられてビット線BL, パーBLが1/2 Vccのレベルにリセットされて次の動作を待つ状態となる。また、前記書き込みデータDがLレベルの場合はライトアンプ14の出力信号が反転し、データバスDB, パーDB及びビット線BL, パーBLを介して前記書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0082】一方、前記DRAMのセル情報の読出し動作を説明すると、前記書き込み動作のリセット信号Aの立ち下がりからコラム選択信号CLの立ち上がりまでの動作は読出し動作でも同様である。

【0083】そして、基準制御信号RASバー、CASバーがLレベルとなり、かつ書き込み制御信号WEバーがHレベルに維持されるため、図6に示すように制御回路15から出力される制御信号φ3はLレベルに維持される。

【0084】従って、ライトアンプ15のトランジスタTr7, Tr9がオンされるとともに、トランジスタTr8, Tr10がオフされて、データバスDB, パーDBは電源Vccから同トランジスタTr1, Tr2のしきい値分だけ低下した電位に維持される。

【0085】そして、ビット線BL, パーBL読み出されたセル情報を増幅するセンスアンプSAの出力信号に基づいて、図6に示すようにデータバスDB, パーDBに電位差が生じ、その電位差をセンスバッファ2で増幅してセル情報として出力する。

【0086】次いで、コラム選択信号CLにより別の対のビット線BL, パーBLを選択して同様な動作によりセル情報を読み出す。以上のようにこの実施例のDRAMでは、基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいて書き込みモードが設定されると、制御回路15からライトアンプ14に出力される制御信号φ3がHレベルとなる。その制御信号φ3に基づいてライトアンプ14が活性化され、書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0087】また、基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいて読出しモードが設定されると、制御回路15からライトアンプ14

(7)

特開平6-60658

12

に出力される制御信号φ3がLレベルとなる。

【0088】その制御信号φ3に基づいてライトアンプ14のトランジスタTr7, Tr9がデータバスDB, パーDBに対するDC-LOAD回路として動作する。また、制御回路15は基準制御信号RASバー、CASバー及び書き込み制御信号WEバーに基づいてライトアンプ14に出力する制御信号φ3のみを生成する構成であるため、前記従来例の制御回路4に比して素子数を削減することができる。

10 【0089】従って、前記従来例ではDC-LOAD回路がライトアンプとは別個に必要であったが、本実施例ではライトアンプ14にDC-LOAD回路の機能を持たせることにより、同DC-LOAD回路を省略することができるとともに、制御回路15の回路規模を前記従来例より縮小することができる。

【0090】この結果、DRAMの回路面積を縮小することができ、データバスDB, パーDBの寸法が増大するほど、その縮小効果も増大する。次に、この発明を具体化した第二の実施例を図7に従って説明すると、前記第一の実施例ではライトアンプ14のトランジスタTr7~Tr10はすべてNチャネルMOSトランジスタで構成されたが、PチャネルMOSトランジスタとNチャネルMOSトランジスタとからCMOS構成とすることもできる。

【0091】すなわち、前記制御回路15から出力される制御信号φ3は、ライトアンプ14のNAND回路6g, 6hの一方の入力端子に入力され、NAND回路6gの他方の入力端子には、書き込みデータDがインバート回路7nを介して入力される。

30 【0092】また、NAND回路6hの他方の入力端子には書き込みデータDが直接入力されている。前記NAND回路6gの出力信号はインバート回路7qを介してPチャネルMOSトランジスタTr13とNチャネルMOSトランジスタTr14とから構成されるCMOSインバート回路7sに出力される。同CMOSインバート回路7sの出力信号がデータバス・パーDBに出力される。

40 【0093】前記NAND回路6hの出力信号はインバート回路7pを介してPチャネルMOSトランジスタTr11とNチャネルMOSトランジスタTr12とから構成されるCMOSインバート回路7rに出力され、同CMOSインバート回路7rの出力信号がデータバスDBに出力される。

【0094】このような構成により、制御信号φ3がLレベルとなると、NAND回路6g, 6hの出力信号はHレベルとなってインバート回路7p, 7qの出力信号はLレベルとなる。

50 【0095】従って、トランジスタTr11, Tr13がオンされるとともに、トランジスタTr12, Tr14がオフされ、データバスDB, パーDBの電位はほぼ電源Vccレベルにリセットされる。

(8)

特開平6-60658

13

【0096】一方、制御信号φ3がHレベルとなって書き込みモードが設定されると、このライトアンプ14が活性化されて書き込みデータDに基づくセル情報が選択された記憶セルに書き込まれる。

【0097】従って、このような構成のライトアンプ14により前記第一の実施例と同様な制御信号φ3に基づいて、書き込みモード時以外はトランジスタTr11、Tr13をDC-LOAD回路として動作させて、両データバスDB、バーDBを記憶Vccレベルにリセットすることができる。

【0098】また、書き込みモード時には書き込みデータDに基づいて、選択された記憶セルに所望のセル情報を書き込むことができるので、前記第一の実施例と同様な作用効果を得ることができる。

【0099】

【発明の効果】以上詳述したように、この発明は半導体記憶装置のデータバスに接続されるDC-LOAD回路と、同DC-LOAD回路及びライトアンプを制御する制御回路を形成するために要する回路面積を小さくすることができる優れた効果を発する。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】DRAMを示すブロック図である。

【図3】第一の実施例のライトアンプを示す回路図であ

る。

【図4】第一の実施例のライトアンプ制御回路を示す回路図である。

【図5】第一の実施例の書き込み動作を示す波形図である。

【図6】第一の実施例の読出し動作を示す波形図である。

【図7】第二の実施例のライトアンプを示す回路図である。

10 【図8】従来例のライトアンプを示す回路図である。

【図9】従来例のライトアンプ制御回路を示す回路図である。

【図10】ビット線に接続される回路部を示す回路図である。

【図11】従来例の書き込み動作を示す波形図である。

【図12】従来例の読出し動作を示す波形図である。

【符号の説明】

14 ライトアンプ

16 制御回路部

20 DB, バーDB データバス

Trpu プルアップ用トランジスタ

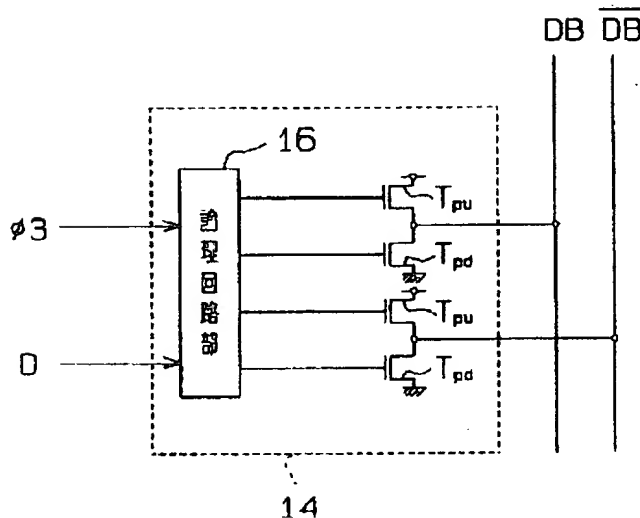
Trpd プルダウン用トランジスタ

φ3 制御信号

D 書き込みデータ

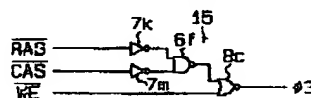
【図1】

本発明の原理説明図



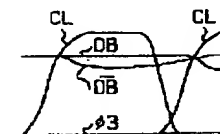
【図4】

第一の実施例のライトアンプ制御回路を示す回路図



【図6】

第一の実施例の読出し動作を示す波形図



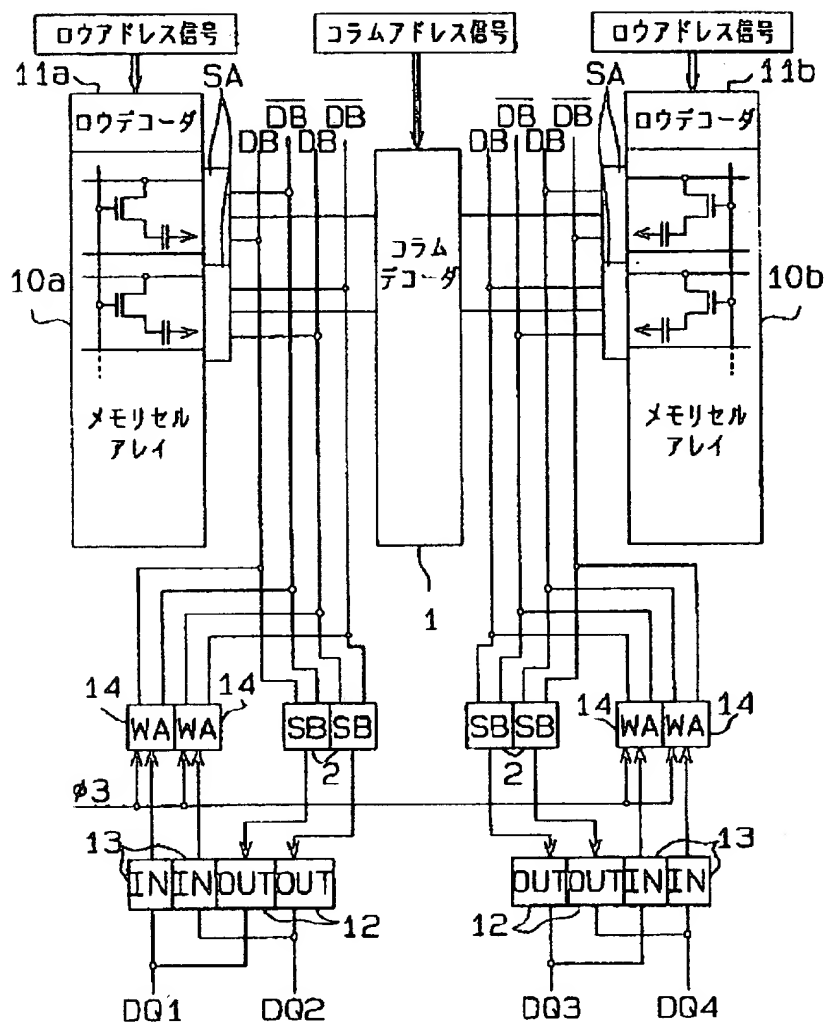


(9)

特開平6-60658

【図2】

DRAMを示すブロック図

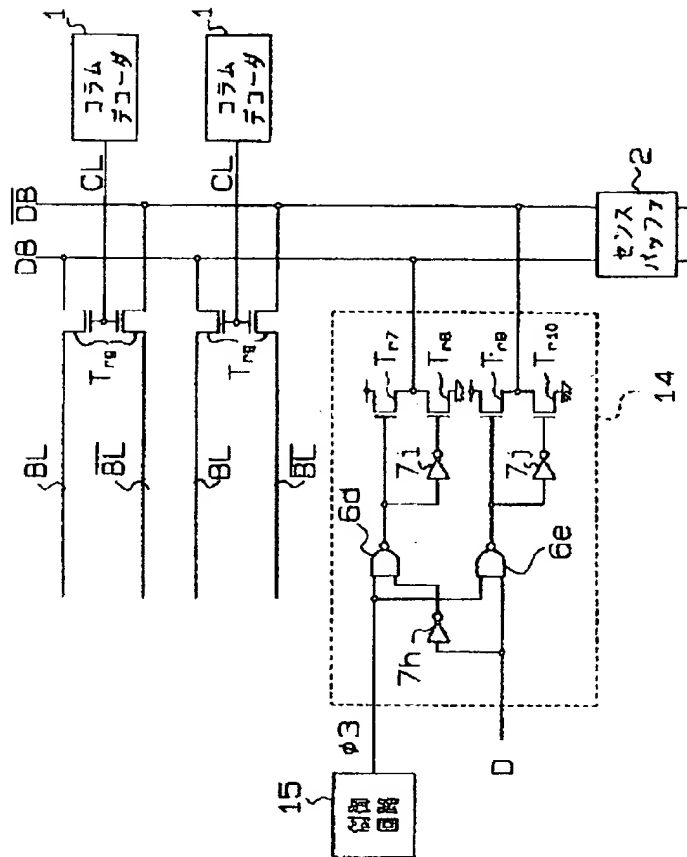


(10)

特開平6-60658

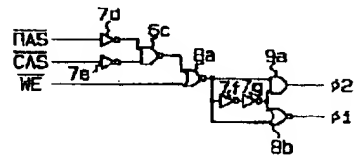
【図3】

第一の実施例のライトアンプを示す回路図



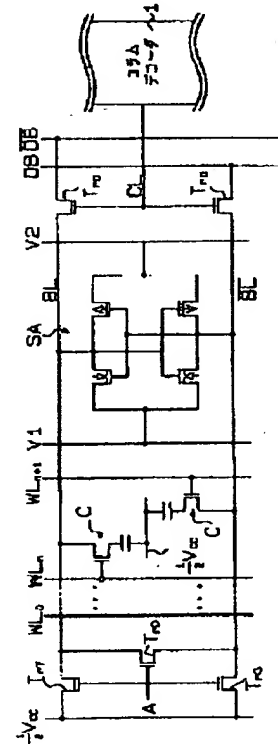
【図9】

2ndのライトアンプの回路図を示す図



【図10】

ビットに接続される回路を示す図





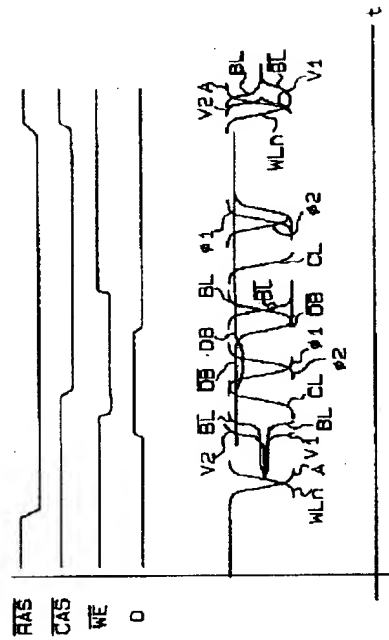


(13)

特開平6-60658

【図11】

従来例の書き込み動作を示す波図



フロントページの続き

(72)発明者 古山 幸昭

愛知県春日井市高蔵寺町2丁目1844番2

富士通ヴィエルエスアイ株式会社内

This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.